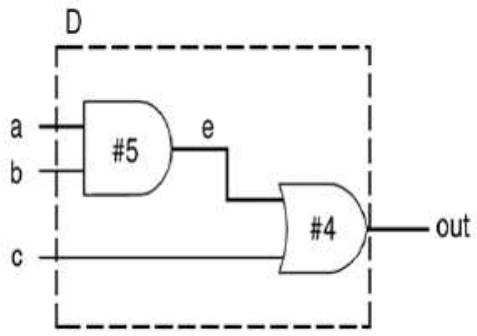
با توجه به مدار زیر و برنامه مدل شده و میز تست، دیاگرام خروجی را بررسی کنید.




```
module D (out,a,b,c);
output out;
input a, b, c;

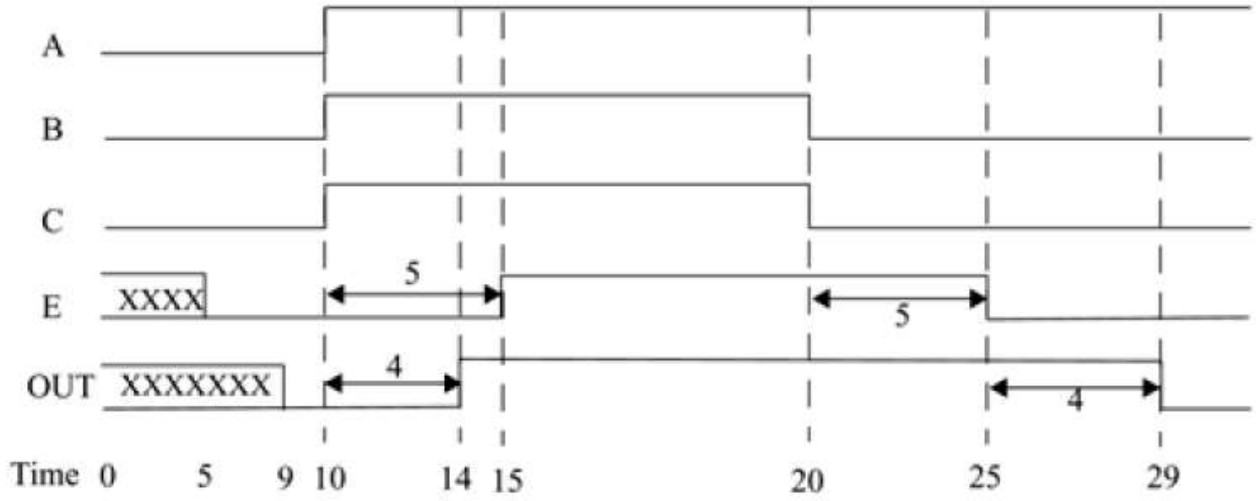
wire e;

and #(5) a1(e,a,b);
or #(4) o1(out,e,c);

endmodule
```

```
module stimulus;
reg A,B,C;
wire OUT;
D d1 (OUT,A,B,C);
initial begin
      A = 1'b0; B=1'b0; C = 1'b0;
      #10 A = 1'b1; B = 1'b1; C = 1'b1;
      #10 A = 1'b1; B = 1'b0; C = 1'b0;
      #20 $finish;
end
endmodule
```

دیاگرام زمانی خروجی:



تمرین: دیاگرام زمانی مشابهی برای مدار زیر ترسیم کنید.

(نکته: تاخیر گیت ها مشابه مدار قبل است)

